

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19) 日本四特開序 (JP)

(iii) 公開特許公報 (A)

（三）特許出願公報卷四

特開平9-8207

(13)公開日 平成9年(1997)1月10日

(S1) FBI, CL.
MOIL 23/50
21/60
23/28

五列記号 厅内整理記号

F 1
NOIL 23/50
21/60
23/28

江苏省示范校

審査請求 未認定 裁決項の数6 FD (合) 531

(21) 出版地名 特種字 7-176828

(22) 出版日 平成7年(1995)6月21日

(71) 出票人 000002897

大日本印刷株式会社

東京都新宿区市谷加賀町一丁目1番1号

《11》光明者 山田 第一

東京都新宿区市谷加賀町一丁目1番1号
大日本印刷株式会社内

(12) 佐木 貢

東京都新宿区市谷加賀町一丁目1番1号

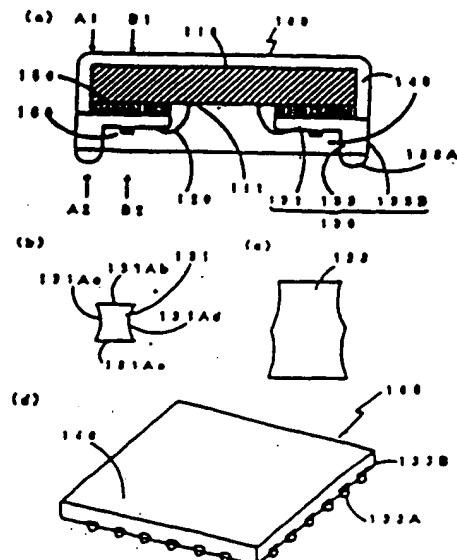
（公佈號： 號第 11 號）

(34) (発明の名前) 電動打止め器本体装置

《經》《易》

【目的】 リードフレームを用いた樹脂封止型半導体装置であって、多電子化に対応できて実用性の良いものを提供する。

【構成】 2段エッティング加工によりインナーリード部の厚さがリードフレーム素材の厚さよりも薄く外層加工されたリードフレームを用い、且つ、外厚寸法をほぼ半導体素子に合わせた。封止用樹脂により封閉されたCSP (Chip Size Package) 型の半導体装置であって、該リードフレームは、周囲のインナーリード部と、該インナーリード部に対し、インナーリード部の外部側の端部においてインナーリードに並ぶする方向で、半導体素子基板部と反対側に一側的に直線した、カット部と接続するための電子柱を有するもので、該電子柱の外部側の端に半導体からなる電子部を接げ、電子部を封止用樹脂部から突出させている。



【背景の説明】

【請求項1】 2段エッチング加工によりインナーリードの厚さがリードフレーム素材の厚さよりも薄間に加工されたリードフレームを用い、外尺寸をはば半導体電子に合わせて封止用部材により駆動封止したCSP (Chipsize Package) 型の半導体装置であって、前記リードフレームは、リードフレーム素材よりも薄肉のインナーリードと、はインナーリードに一様に追加したリードフレーム素材と同じ厚さの外部回路とが成るための形状の電子部とを有し、且つ、電子部はインナーリードの外部側においてインナーリードに対して厚み方向に直交し、かつ半導体電子部底面と反対側に設けられており、電子部の先端面に半田等からなる電子部を設け、電子部を封止用部材から露出させ、電子部の外側側の側面を封止用部材から露出させており、半導体電子部は、半導体電子部の電極部を有する面にて、インナーリード部に封止用部材を介して駆動されており、半導体電子部の電極部はインナーリード間に設けられ、半導体電子部底面とは反対側のインナーリード先端部とワイヤにて電気的に接続されていることを特徴とする駆動封止型半導体装置。

【請求項2】 2段エッチング加工によりインナーリードの厚さがリードフレーム素材の厚さよりも薄間に外尺寸加工されたリードフレームを用い、外尺寸をはば半導体電子に合わせて封止用部材により駆動封止したCSP (Chipsize Package) 型の半導体装置であって、前記リードフレームは、リードフレーム素材よりも薄肉のインナーリードと、はインナーリードに一様に追加したリードフレーム素材と同じ厚さの外部回路とが成るための形状の電子部とを有し、且つ、電子部はインナーリードの外側側においてインナーリードに対して厚み方向に直交し、かつ半導体電子部底面と反対側に設けられており、電子部の先端の一部を封止用部材から露出させて電子部とし、電子部の外側側の側面を封止用部材から露出させており、半導体電子部は、半導体電子部の電極部を有する面にて、インナーリード部に地線部材を介して駆動されており、半導体電子部の電極部はインナーリード間に設けられ、半導体電子部底面とは反対側のインナーリード先端部とワイヤにて電気的に接続されていることを特徴とする駆動封止型半導体装置。

【請求項3】 以上項1ないし2において、リードフレームはダイパッドを有しており、半導体電子部はその電極部をインナーリード部とダイパッド部との間に設けていることを特徴とする駆動封止型半導体装置。

【請求項4】 2段エッチング加工によりインナーリードの厚さがリードフレーム素材の厚さよりも薄間に加工されたリードフレームを用い、外尺寸をはば半導体電子に合わせて封止用部材により駆動封止したCSP (Chipsize Package) 型の半導体装置であって、前記リードフレームは、リードフレーム素材

よりも薄肉のインナーリードと、はインナーリードに一様に追加したリードフレーム素材と同じ厚さの外部回路とが成るための形状の電子部とを有し、且つ、電子部はインナーリードの外側側においてインナーリードに対して厚み方向に直交し、かつ半導体電子部底面と反対側に設けられており、電子部の先端面に半田等からなる電子部を設け、電子部を封止用部材から露出させ、電子部の外側側の側面を封止用部材から露出させており、半導体電子部は、半導体電子部の一面に設けられたパンプを介してインナーリード部に駆動され、半導体電子部とインナーリード部とが電気的に接続していることを特徴とする駆動封止型半導体装置。

【請求項5】 2段エッチング加工によりインナーリードの厚さがリードフレーム素材の厚さよりも薄肉に外尺寸加工されたリードフレームを用い、外尺寸をはば半導体電子に合わせて封止用部材により駆動封止したCSP (Chipsize Package) 型の半導体装置であって、前記リードフレームは、リードフレーム素材よりも薄肉のインナーリードと、はインナーリードに一様に追加したリードフレーム素材と同じ厚さの外部回路とが成るための形状の電子部とを有し、且つ、電子部はインナーリードの外側側においてインナーリードに対して厚み方向に直交し、かつ半導体電子部底面と反対側に設けられており、電子部の先端の一部を封止用部材から露出させて電子部とし、電子部の外側側の側面を封止用部材から露出させており、半導体電子部は、半導体電子部の一面に設けられたパンプを介してインナーリード部に駆動され、半導体電子部とインナーリード部とが電気的に接続していることを特徴とする駆動封止型半導体装置。

【請求項6】 以上項1ないし5において、インナーリードは、底面形状が馬蹄形で第1面、第2面、第3面、第4面の4面を有しており、かつ第1面はリードフレーム素材と同じ厚さの他の部分の一方が面と同一平面上にあって第2面に向を合っており、第3面、第4面はインナーリードの内側に向かって凹んだ形状に形成されていることを特徴とする駆動封止型半導体装置。

【発明の詳細な説明】

【0001】 【底面の利用分割】 本発明は、半導体装置の多様化に対応させ、且つ、半導体の風い小型化が可能な駆動封止型半導体装置に関するもので、特に、エッチング加工により、インナーリード部をリードフレーム素材の厚さよりも薄肉に外尺寸加工したリードフレームを用いた駆動封止型半導体装置に関するもの。

【0002】

【底面の形状】 市販より用いられている駆動封止型の半導体装置（プラスチックリードフレームパッケージ）には、一概に底面（下）に示されるような構造であり、底面底面（下）に20ミリメートルのダイパッド部（↓↓↓↓）

第四の回路との電気的接続を行うためのアワーリード部1113、アフターリード部1113に一組となつたインナーリード部1112、およびインナーリード部1112の先端部と半導体素子1120の電極パッド1121とを電気的に接続するためのワイヤ1130、半導体素子1120を封止して外界からの応力、熱熱から守る隔壁1140等からなつており、半導体素子1120をリードフレームのダイパッド1111部等に形成した後、隔壁1140により封止してパッケージとしたもので、半導体素子1120の電極パッド1121に接続できる数のインナーリード1112を必要とするものである。そして、このような隔壁封止型の半導体装置の隔壁部材として用いられる（隔壁）リードフレームは、一般には図10（b）に示すような構造のもので、半導体素子を接続するためのダイパッド1111と、ダイパッド1111の周囲に沿つてられた半導体素子と接続するためのインナーリード1112、およびインナーリード1112に形成して外側部材との接続を行うためのアワーリード1113、隔壁封止する目的のダムとなるダムバー1114、リードフレーム1110全体を支撐する（アーバー）部1115等を備えており、通常、コバルト、42合金（42%ニッケル-48%鉄）等の耐熱性の優れた金属を用い、プレスもしくはエッチング法により形成されていた。

〔0003〕このようなリードフレームを利用した隔壁封止型の半導体装置（プラスチックリードフレームパッケージ）においても、電子部材の発熱を小化の対策と半導体素子の高集成化には、小型高密度かつ電極部子の増大化が重要で、その対策、隔壁封止型半導体装置、特にQFP（Quad Flat Package）及びTQFP（Thin Quad Flat Package）等では、リードの多ピン化が普及してきただ。上記の半導体装置に用いられるリードフレームは、隔壁なものはフォトリソグラフィー技術を用いたエッチング加工方法により形成され、隔壁でないものはプレスによる加工方法による形成されるのが一般的であったが、このような半導体装置の多ピン化に伴い、リードフレームにおいても、インナーリード部先端の疎開化が進み、そのため、隔壁なものに対しては、プレスによるリードフレーム加工によらず、リードフレーム部分の板厚が0.25mm程度のものを用い、エッチング加工で対応してさ。このエッチング加工方法の工程について以下、図10に基づいて簡単に述べておく。まず、焼きもしくは42%ニッケル-48%鉄からなる厚さ0.25mm程度の隔壁（リードフレーム部は1010）を十分焼却（図10（a））した後、重クロム酸カリウムを基元とした水溶性カゼインレジスト等のフォトレジスト1020を隔壁の疎開部に均一に塗布する。（図10（b））次いで、所定のパターンが形成されたマスクを介して隔壁水溶性レジスト部を露光した後、所定の露光量では

水溶性レジストを現像して（図10（c））、レジストパターン1030を形成し、焼却部位、隔壁部位等を必要に応じて行い、塩化第二鉄水溶液を三たる反応槽にてエッチング液にて、スプレイにて塩化鉄（リードフレーム部は1010）に吹き付け所定の疎開部にエッチングし、露地させる。（図10（d））次いで、レジスト部を新規焼却し（図10（e））、焼却後、所定のリードフレームをはて、エッチング加工工程を終了する。このように、エッチング加工工程によって作成されたリードフレームは、更に、所定のエリアに露地メッシュ等が施される。次いで、焼却、露地等の処理を経て、インナーリード部を固定用の接着剤をボリミドテープにてテープング処理したり、必要に応じて所定の金属アーバーを曲げ加工し、ダイパッド部をダウンセットする処理を行う。しかし、エッチング加工方法においては、エッチング液による露地は被加工板の板厚方向の端に端部（端）方向にも達むため、その疎開化加工にも限界があるのが一般的で、図10に示すように、リードフレーム部材の疎開からエッチングするため、ラインアンドスペース露地の場合、ライン間隔の加工限度は、板厚の5.0～10.0倍程度と言わわれている。又、リードフレームの被加工部材のアワーリードの板厚をえた場合、一般的には、その板厚は約0.125mm以上必要とされている。この点、図10に示すようなエッチング加工方法の場合、リードフレームの板厚を0.15mm～0.125mm程度まで薄くすることにより、ワイヤボンディングのための必要な疎開幅7.0～8.0倍度し、0.165mmピッチ程度の疎開なインナーリード部先端のエッチングによる加工を達成してきたが、これが限界とされていた。

〔0004〕しかしながら、近年、隔壁封止型半導体装置は、小パッケージでは、電極部材であるインナーリードのピッチが0.165mmピッチを越て、既に0.15～0.13mmピッチまでの更な疎開化要求がでてきただと、エッチング加工において、リード部材の板厚を薄した場合には、アセソリエットや真鍮工法といったは工法におけるアワーリードの疎開度が厳しいという点から、既にリード部材の板厚を薄くしてエッチング加工を行う方法にし見当が出てきた。

〔0005〕これに対応する方法として、アワーリードの板厚を薄出したまま疎開化を行う方法で、インナーリード部分をハーフエッチングもしくはプレスにより薄くしてエッチング加工を行う方法が開発されている。しかし、プレスにより薄くしてエッチング加工をおこなう場合には、加工においての板厚が不足する（例えば、めっきエリアの疎開度）、ボンディング、モールディング時のクラシップに必要なインナーリードの疎開度、寸法精度が確保されない、露地をさば行なわなければならぬ等の二種が問題になら、露地露地が多くある。そして、インナーリード部分をハーフエッチングにより薄く

してエッチング加工を行う方法の場合にし、回路を2次行なわなければならず、製造工程が複雑にならうという問題があり、いずれも実用化には、未だ至っていないのが現状である。

(0006)

【発明が解決しようとする問題】一方、電子部品の複雑化の時代にはい、半導体パッケージにおいても、小型で高密度が高いものが求められるようになってきて、外寸寸法をば半導体電子に合わせて、封止用樹脂により樹脂封止したCSP (Chip Size Package) と言われるパッケージが実現されようになってきた。CSPを使う恩恵を以下に簡単に述べる。
①第一にピン数が同じなら、QFP (Quad Flat Package) やBGA (Ball Grid Array) に比べ実装面積を格段に小さくできる。
②第二に、パッケージ寸法が同じならQFPやBGAよりもピン数を多くとれる。QFPについては、パッケージや基板の反りを考慮すると、実用的に考慮する寸法は最大4.0mm角であり、アウターリードピッチが0.5mmピッチのQFPでは304ピンが限界となる。さらに20ピン数を増やすためには、0.4mmピッチや0.3mmピッチが必要となるが、この場合には、ユーザが基板の高い実装 (一括リフロー・ハンダ付け) を行うのが難しくなってくる。一般にはQFPの製造に際してはアウターリードピッチが0.3mmピッチ以下ではコストを上げてはいるのは当然と言われている。BGAは、上記QFPの限界を打破するものとしされて始められたもので、外部端子を二次元アレイ化にし、内部端子ピッチを広げることで実装の柔軟性を実現しようとするものである。BGAの場合、内部端子が300ピンを超える領域でも、従来通りの一括リフロー・ハンダ付けはできるが、3.0mm-4.0mm角になると、基板サイクルによって内部端子のハンダ・パンプにクラックが入るため、600ピン-700ピン、最大でも1000ピンが実用の限界と一般には言われている。内部端子をパッケージ裏面に二次元アレイにかけたCSPの場合には、BGAのコンセプトを引き継ぎ、且つ、アレイ化の端子ピッチを増やすことが可能となる。また、BGA同様、一括リフロー・ハンダ付けが可能である。
③第三に、QFPやBGAに比べるとパッケージ内部の配線長が短くなるため、布線容量が小さくなり伝送延時間が短くなる。LSIクロック周波数が100MHzを超えるようになると、QFPではパッケージ内の距離が問題になってしまう。内部配線を短くしたCSPの方が有利である。しかしながら、CSPは実装面では複雑なもの、多電子化に対しては、電子のピッチをさらに求めることが必要で、この点での限界がある。本発明は、このような状況のとど、リードフレームを用いた樹脂封止型半導体電子において、多電子化に対応して、且つ、一層の小型化に成功してどちらも半導体電子を可能に³⁰

しようとするものである。

(0007)

【課題を解決するための手段】本発明の樹脂封止型半導体電子は、2枚エッチング加工によりインナーリードの厚さがリードフレームよりも薄く外側に外側加工されたリードフレームを用い、外寸寸法をば半導体電子に合わせて封止用樹脂により樹脂封止したCSP (Chip Size Package) 型の半導体電子であって、前記リードフレームは、リードフレーム本体よりも薄肉のインナーリードと、該インナーリードに一様に配置したリードフレーム素材と同じ厚さの外側部材と構成するための柱状の電子柱とを有し、且つ、電子柱はインナーリードの外側部においてインナーリードに対して厚み方向に貫通し、かつ半導体電子部材と反対側に抜けられており、電子柱の先端部に半導体からなる電子部を抜け、電子部を封止用樹脂部から露出させ、電子柱の外側部の側面を封止用樹脂部から露出させており、半導体電子は、半導体電子の電極部 (パッド) を有する面にて、インナーリード間に封止用樹脂を介して露出されており、半導体電子の電極部 (パッド) はインナーリード間に抜けられ、半導体電子反対側とは反対側のインナーリード先端部とワイヤにて電気的に接続されていることを特徴とするものである。また、本発明の樹脂封止型半導体電子は、2枚エッチング加工によりインナーリードの厚さがリードフレームよりも薄肉のインナーリードと、該インナーリードに一様に配置したリードフレーム素材と同じ厚さの外側部材と構成するための柱状の電子柱とを有し、且つ、電子柱はインナーリードの外側部においてインナーリードに対して厚み方向に貫通し、かつ半導体電子部材と反対側に抜けられており、電子柱の先端部の一部を封止用樹脂部から露出させて電子部とし、電子柱の外側部の側面を封止用樹脂部から露出させており、半導体電子は、半導体電子の電極部 (パッド) を有する面にて、インナーリード間に封止用樹脂を介して露出されており、半導体電子の電極部 (パッド) はインナーリード間に抜けられ、半導体電子部材と反対側とは反対側のインナーリード先端部とワイヤにて電気的に接続されていることを特徴とするものである。そして上記において、日本特許庁において、リードフレームはダイパッドをしており、半導体電子はその電極部 (パッド) をインナーリードとダイパッド部との間に設けていることを特徴とするものである。また、本発明の樹脂封止型半導体電子は、2枚エッチング加工によりインナーリードの厚さがリードフレームよりも厚さよりし薄肉に外側加工されたリードフレームを用い、外寸寸法をば半導体電子に合わせて

封止用樹脂により封止封止したCSP (Chip Size Package) 型の半導体装置であって、向記リードフレームは、リードフレーム素材よりも薄肉のインナーリードと、インナーリードに一体的に重ねしたリードフレーム素材と同じ厚さの外層回路と接続するためのばねの電子圧とを有し、且つ、電子圧はインナーリードの外側側においてインナーリードに対して巻き方向に巻きし、かつ半導体電子圧回路と反対側に受けられており、電子圧の先端面に半田等からなる電子部を抜け、電子部を封止用樹脂部から露出させ、電子圧の外側側の側面を封止用樹脂部から露出させており、半導体電子は、半導体電子の一面に受けられたパンプを介してインナーリード部に筋成され、半導体電子とインナーリード部とが電気的に接続していることを特徴とするものである。また、本発明の封止封止型半導体装置は、2段エッチング加工によりインナーリードの厚さがリードフレーム素材の厚さよりも薄肉に外側加工されたリードフレームを用い、外層寸法をばね半導体電子に合わせて封止用樹脂により封止封止したCSP (Chip Size Package) 型の半導体装置であって、向記リードフレームは、リードフレーム素材よりも薄肉のインナーリードと、インナーリードに一体的に重ねしたリードフレーム素材と同じ厚さの外層回路と接続するためのばねの電子圧とを有し、且つ、電子圧はインナーリードの外側側においてインナーリードに対して巻き方向に巻きし、かつ半導体電子圧回路と反対側に受けられており、電子圧の先端面を封止用樹脂部から露出させており、半導体電子は、半導体電子の一面に受けられたパンプを介してインナーリード部に筋成され、半導体電子とインナーリード部とが電気的に接続していることを特徴とするものである。そして上記において、インナーリードは、断面形状が四方形で第1面、第2面、第3面、第4面の4面を有しており、かつ第1面はリードフレーム素材と同じ厚さの他の部分の一方の面と同一平面上にあって第2面に内にきつており、第3面、第4面はインナーリードの内側に向かって凹んだ形状に筋成されていることを特徴とするものである。め、ここでは、CSP (Chip Size Package) 型の半導体装置とは、半導体電子の巻き方向を除いた、X、Y 40 方向の外層寸法にはば近いので封止用樹脂により封止封止した半導体装置のことを言っており、本発明の半導体装置は、その中でもリードフレームを用いたものである。また、上記において、電子圧の先端面に半田等からなる電子部を抜け、電子部を封止用樹脂部から露出させる場合、半田等からなる電子部は封止用樹脂部から露出したものが一層めであらが、必ずしも突起する必要はない。また、必要に応じて、封止用樹脂部から露出された電子圧の外側側の側面部分をパンプ等を介して後先側で覆っても良い。

【0008】

【作用】本発明の封止封止型半導体装置は、上記のように構成することにより、リードフレームを用いた封止封止型半導体装置において、多コア化に対応でき、且つ、実質的な良い小型の半導体装置の提供を目的とするものであり、同時に、後段の図1 (b) に示す單層リードフレームを用いた場合のように、ダムバーのプレスによる除去工程や、アワターリードのフォーミング工程を必要としないため、これらの工程に起因して発生していたアワターリードのスキューリング問題やアワターリードの平坦性 (コープラナリティ) の問題を全く無くすことができる半導体装置の提供を目的とするものである。丸しくは、2段エッチング加工によりインナーリード部の厚さが素材の厚さよりも薄肉に外側加工された、即ち、インナーリードを断面に加工された多ビンのリードフレームを用いていたことにより、半導体装置の多コア化に対応できるものとしており、且つ、外層寸法をばね半導体電子に合わせて、封止用樹脂により封止封止したCSP (Chip Size Package) 型の半導体装置としていることにより、小型化して作製することを可能としている。更に、後述する、図8に示す2段エッチングにより作製された、インナーリードは、断面形状が四方形で第1面、第2面、第3面、第4面の4面を有しており、かつ第1面はリードフレーム素材と同じ厚さの他の部分の一方の面と同一平面上にあって第2面に内にきつており、第3面、第4面はインナーリードの内側に向かって凹んだ形状に筋成されていることにより、インナーリード部の第2面は平坦性を確保でき、ワイヤボンディング性の良いものとしている。また第1面も平坦面で、第3面、第4面はインナーリード側に凹状であるためインナーリード部は、突起しており、且つ、ワイヤボンディングの平坦面を広くとれる。

【0009】また、本発明の封止封止型半導体装置は、半導体電子が、半導体電子の一面に受けられたパンプを介してインナーリード部に筋成され、半導体電子とインナーリード部とが電気的に接続していることにより、ワイヤボンディングの必要がなく、一層したボンディングが可能としている。

【0010】

【実施例】本発明の封止封止型半導体装置の実施例を図にそって説明する。先ず、実施例1を図1に示し、説明する。図1 (a) は実施例1の封止封止型半導体装置の断面図であり、図1 (b) (イ) は図1 (a) のA1-A2におけるインナーリード部の断面図で、図1 (b) (ロ) は図1 (a) のB1-B2における電子圧部の断面図である。図1中、100は半導体装置、110は半導体電子、111は電極部 (パッド) 、120はワイヤ、130はリードフレーム、131はインナーリード、131Aaは第1面、131Abは第2面、131Acは第3面、131Adは第4面、133は電子圧、

133Aは電子部、133Bは側面、140は門形開閉部、150は地盤用板、160は車輪用テープある。本実施例1の車輪封止型半導体装置においては、半導体電子110は、半導体電子の電極部(パッド)111側の面で電極部(パッド)111がインナーリード間に収まるようにして、インナーリード131に接着用接着剤150を介して固定されている。そして、電子部111は、ワイヤ120にて、インナーリード部131の元部の第2面131A面とも気密に接着されている。本実施例1の半導体装置100と外部封締との電気的な接続は、電子部133A部に付けられた半導体の半導体からなる電子部133Aを介してプリント基板等へ接続されることにより行われる。本実施例1の半導体装置100に使用のリードフレーム130は、42%ニッケル-鉄合金属を組みとしたもので、そして、図6(a)に示すような底板をしたエッチングによりカット加工されたリードフレームを用いたものである。電子部133Aの部分より背面に形成されたインナーリード131をもつ、ダムバー136は車輪封止する際のダムとなる。且、図6(a)に示すような底板をしたエッチングによりカット加工されたリードフレームを、本実施例においては用いたが、インナーリード部131と電子部133以外は6角形に不要なものであるから、特にこの底板に限定はされない。インナーリード部131の厚さは24.0mm、インナーリード部131以外の厚さは、12.0、15mmでリードフレーム本体の底板のままである。また、インナーリードピッチは0.12mmと良いピッチで、半導体底板の多孔化化に対応できるものとしている。インナーリード部131の第2面131A面に半導体でワイヤボンディングし易い形状となっており、第3面131A(c)、第4面131A(d)はインナーリード側へ凹んじた形状をしており、第2ワイヤボンディング側を良くしも強度的に良いものとしている。且、図6(b)は図(a)のC1-C2における断面を示している。車輪用テープ160はインナーリード部にヨレが発生しないよう固定しておくものである。且、インナーリードの車輪用テープ160には底板図6(a)に示す底板のリードフレームをエッチング加工にして作成し、これに底板160面により半導体電子を底板して車輪封止できる。インナーリードが長く、インナーリードにヨレが生る場合には車輪用テープ160に示す底板にエッチングですることは出来ないため、図6(c)(イ)に示すにインナーリード先端部を底板部131Bにて固定状態にエッチング加工した後、インナーリード131を車輪用テープ160で固定し(図6(c)(ロ))、次いでプレスにて、ヨレが生る際の面にはの底板部131Bを除去し、このは底で半導体電子を底板にて車輪封止を行なう。(図6(c)(ハ))

86 (c) (c) $\Phi E_1 - E_2$ はプレスにてめんT39 30

インを示している。

〔001〕 次に本実験例1の複数打止型半導体装置の動作万能を図5に示す。図5に説明する。先ず、前述するエンチニアリング加工にて作成され、不足の部分をカッティング部屋で鋸などでたたむを、インソーリード先端部は鋸部が図5で上になるようにして用意した。又、インソーリード131端の長さが長い場合には、必要に応じて、インソーリードの先端部がボリュミドテープによりテーピング固定されているものを用意する。次いで半導体素子110の電極部111側面を図5で下にして、インソーリード131間にめり、始端部1150を介してインソーリード131に固定固定した。(図5)
(a))

半導体量子 $1/10$ をリードフレーム $1/30$ に固定して、リードフレーム $1/30$ を半導体の上にして、半導体量子 $1/10$ の電極部 $1/11$ とインナーリード部 $1/3$ の先端部とをワイヤ $1/20$ にてボンディング用にした。(図 3 (b))

次いで、過度の抑制用電路(40)で電圧制限を行った。(図5(c))

留置による封止は所定の型を用いて行うが、半導体晶片 110 のサイズで、且つ、リードフレームの電子部の外側の面が若干留置から外側へ突出した状態で封止した。そこで、不要なリードフレーム 130 の封止用留置 140 面から突出している部分をプレスにて切削し、電子部 133 を配置するとともに電子部 133 の封止 133B が達成した。(同 5 (d))

の時、切削されるリードフレームのラインには、切削し易いように、切り欠きを設けておくと良い。特に、彼らの切り欠きはエンチシング時に、削せて加工しておは簡単が苦である。図6に示すリードフレーム110のバーパー136、フレーム部137等が特徴である。これ、リードフレームの電子部の外側の面上に半円からな半部133Aを作りて半球形底面を作出した。

この平図からなる電子顕微鏡像は各部の構造と構成する間に、接続しあいようになびてあるが特に接合なくも良い。

00121 本発明の本体部は常に用いられるリードフレームの組合せを以下、图にそって説明する。图8、本実施例1の断面図は平野部は常に用いられるリードフレームの組合せを説明するための、インナーリード実施部を含む部はにおけるか工部断面図であり、こでは示されるリードフレームを示す平野部である图6のD1-D2部の断面部における部は工部である。图8中、810はリードフレーム部、820A、820Bはレジストパターン、830は第一の凹口部、840は第二の凹口部、850は第一の凹部、860は第二の凹部、870は平坦部、880はニンティング部、890Aはインナーリード丸頭部、890Bは

インナーリードの第2面を示す。さて、42×100×15mmのリードフレーム素材810の両面に、電クロム酸カリウムを感光液とした水性カゼインレジストを塗布した後、所定のパターンなどを用いて、所定形状の第一の開口部830、第二の開口部840を形成した。(図8(a))

第一の開口部830は、後のエッティング加工においてリードフレーム素材810をこの開口部からベタ状にリードフレーム素材よりも開口部に露出するためのもので、レジストの第二の開口部840は、インナーリード先端部の形状を形成するためのものである。第一の開口部830は、少なくともリードフレーム810のシナーリード先端部形成領域を含むが、後工程において、チーピングの工程や、リードフレームを固定するクランプ工程で、ベタ状に露出され部分に露出した部分との位置が崩れになる場合があるので、エッティングを行うエリアはインナーリード先端の露出加工部分だけにせず大きめにとる必要がある。次いで、温度57°C、比重4.8ボーメの被化第二酸化鉄を用いて、スプレー圧2.5kg/cm²にて、レジストパターンが形成されたリードフレーム素材810の両面をエッティングし、ベタ状(平地状)に露出された第一の凹部850の底面がリードフレーム素材の約2/3程度に達した時点でエッティングを止めた。(図8(b))

上記第1回目のエッティングにおいては、リードフレーム素材810の両面から同時にエッティングを行ったが、必ずしも両面から同時にエッティングする必要はない。少なくとも、インナーリード先端部形状を形成するための、所定形状の開口部をもつレジストパターン820Bが形成された両側から同時にようエッティング加工を行い、露出されたインナーリード先端部形状において、所定形状エッティング加工し止めることができれば良い。本文範例のように、第1回目のエッティングにおいてリードフレーム素材810の両面から同時にエッティングする場合は、両面からエッティングすることにより、後述する第2回目のエッティング時間を見直すため、レジストパターン820B側からのみの片面エッティングの場合と比べ、第1回目エッティングと第2回目エッティングのトータル時間が短縮される。次いで、第一の開口部830側の露出された第一の凹部850にエッティング底底層880としての耐エッティング性のあるポットメタル底ワックス(ブ・インクテック社製の底ワックス、型番MR-WB6)を、ダイコータ用いて、塗布し、ベタ状(平地状)に露出された第一の凹部850に塗め込んだ。レジストパターン820B上に塗布エッティング底底層880に塗布されたはとした。(図8(c))

エッティング底底層880を、レジストパターン820B上全面に塗布する必要はないが、第一の凹部850を完全にのみを塗布することに留意して、図8(c)に示す

すように、第一の凹部850とともに、第一の開口部830側全面にエッティング底底層880を塗布した。本文範例で使用したエッティング底底層880は、アルカリ底型のワックスであるが、基本的にエッティング底に耐性があり、エッティング時にある程度の底底性のあるものが、肝心しく、特に、上記ワックスに固定されず、UV硬化型のものでも良い。このようにシナーリード先端部の形状を形成するためのパターンが形成された開口部830に塗り込むことにより、後工程でのエッティング時に第一の凹部850が露出され大きくなないようにしていふとともに、高精度なエッティング加工に対しての最低的な精度規格をしており、スプレー圧を高く(2.5kg/cm²以上)とすることがで。これによりエッティングが周囲方向に進行しやすくなる。このは、第2回目エッティングを行い、ベタ状(平地状)に露出された第一の凹部850を底底側からリードフレーム素材810をエッティングし、貫通させ、インナーリード先端部890を形成した。(図8(d))

第1回目のエッティング加工にて形成された、リードフレーム面に平行なエッティング底底層は平坦であるが、この底底層を塗り直すはインナーリード側にへこんだ凹状である。次いで、既存、エッティング底底層880の跡を、レジスト底(レジストパターン820A、820B)の跡を除い、インナーリード先端部890が露出加工された図8(d)に示すリードフレームを示した。エッティング底底層880とレジスト底(レジストパターン820A、820B)の跡に水酸化ナトリウム水溶液により溶解させた。

(0013) 例、上記のように、エッティングを2段階にわけて行うエッティング加工方法を、一般には2種エッティング加工方法といつており、特に、底底加工に有利な加工方法である。本発明に用いた図8(a)、図8(b)に示す、リードフレーム130の形状においては、2段エッティング加工方法と、パターン形状を工夫することにより部分的にリードフレーム素材をなくしながら外周加工する方法とが併行して用いられている。上記の方法によるインナーリード先端部131Aの複雑化加工は、第二の凹部850の形状と、最終的に得られるインナーリード先端部の形状とに左右されるもので、例えば、底底層を50μmまで高くすると、図8(e)に示す、平地底W1を100μmとして、インナーリード先端部ピッチDが0.15mmまで露出加工可能となる。底底層を100μm程度まで高くし、平地底W1を70μm程度とすると、インナーリード先端部ピッチDが0.12mmまで露出加工可能となるが、底底層、平地底W1のとり方本質ではインナーリード先端部ピッチDは更に良いピッチまで露出加工可能となる。

(0014) このようにエッティング加工にて、インナーリードの底底層が堅かい場合、前述工程でインナーリード

ドのヨレが発生しにくい場合には図6 (a) に示す形状のリードフレームはあるが、インナーリードの長さが実施例1の場合には長い場合はインナーリードにヨレが生じる。図6 (c) (イ) に示すように、インナーリード先端部から連結部131Bを経てインナーリード先端部同士を並べた形状にして形成したものマッチング加工にて得て、この後、半導体作団には不必要な連結部131Bをプレス等により切削除去して図6 (a) に示す形状を保る。図7 (a)、図7 (b) に示すダイバッド235を有するリードフレーム230を作成する場合には、図7 (c) (イ) に示すように、インナーリード231の先端に連結部231Bを経てダイバッドと直角に張った形状にエッティングにより外形加工した後、プレス等により切削しても良い。尚、図7 (b) は図7 (a) のC11-C21における断面図で、図7 (c) 中E11-E21は切れ目を示している。そして、のっさした後に切削除去すると、なまめの形状でインナーリードをのっさする場合には、のっさの箇所がなく良い品質のリードフレームが得られる。尚、前述のように、図6 (c) に示すものを切削し、図6 (a) に示す形状にする場合には、図6 (c) (ロ) に示すように、通常、構造のため第2用テープ160 (シリミドテープ) を使用する。図7 (c) に示すものを切削する場合は半導体である。図6 (c) (ロ) の状態で、プレス等により連結部131Bを切削除去するが、半導体電子子は、テープをつけた状態のままで、リードフレームに固定され、そのまま切削対止される。

(0015) 実施例1の半導体装置に用いられたリードフレームのインナーリード先端部131Aの断面形状は、図9 (イ) に示すようになっており、エッティング平坦部131Ab側の幅W1は反対側の幅W2よりも大きくなっている。W1、W2 (約100μm) とし、この部分の底面を向かう側の底面Wよりも大きくなっている。このようにインナーリード先端部の断面は底面が広くなつた断面形状であるため、図8 (ロ) に示すように、どちらの面を用いても半導体電子子 (図示せず) とインナーリード先端部131Aとワイヤ120A、120Bによる接続 (ポンディング) がしやすいものとなっているが、実施例の場合にはエッティング平坦 (図9 (ロ) (a)) をポンディング面としている。図中131Abはエッティング加工による底面、131Abはリードフレーム底面、1-21A、121Bはのっさ面である。エッティング平坦形状がアラビの形の底面であるため、図9 (ロ) の (a) の場合は、半導体電子子 (ポンディング) 面が形成される。図9 (ハ) は図10に示す底面にて打抜かれたリードフレームのインナーリード先端部131Cと半導体電子子 (図示せず) との接続 (ポンディング) を示すものであるが、この場合はインナーリード先端部131Cの底面は底面ではあるが、この部分の底面の内側の底面には底面でない、また底面とリードフレームと半導

であるが、底面 (ポンディング) 面は本実施例のニッティング平坦面よりなる。図9 (ニ) はプレスによりインナーリード先端部を扁平化した後にエッティング加工によりインナーリード先端部931D、931Eを加工したもの。半導体電子子 (図示せず) との接続 (ポンディング) を示したものであるが、この場合はプレス歪曲が図に示すように平型になつてないため、どちらの面を用いて接続 (ポンディング) しても、図9 (ニ) の (a)、(b) に示すように接続 (ポンディング) の日本定性が悪く品質的に問題となる場合が多い。

(0016) 本に実施例1の接続対止型半導体装置の実施例を示す。図2 (a) は実施例1の接続対止型半導体装置の実施例の断面図であり、図2 (c) は実施例1の半導体装置の外観を示すもので、図2 (c) (ロ) は下 (底) 面から見た図で、図2 (c) (イ) は正面図で、図2 (b) は図2 (a) のA1-A2に対応する位置での電子子の断面図である。実施例半導体装置は、実施例1の半導体装置とは電子子133Aが異なるので、電子子は電子子133の先端部を底面140から突出したようにしてあり、且つ、先端部の表面には底面133cが抜けられており、奥を抜けた状態で底面には半田を塗布した状態にする。そして実施例1には、この底面133c部を通り半田が行き渡るようにしている。実施例の半導体装置100Aは、電子子133A以外は、実施例1の半導体装置と同じである。

(0017) 次いで、実施例2の接続対止型半導体装置を示す。図3 (a) は実施例2の接続対止型半導体装置の断面図であり、図3 (b) は図3 (a) のA3-A4におけるインナーリード部の断面図で、図3 (c) (イ) は図3 (a) のB3-B4における電子子柱部の断面図である。図3中、200は半導体底面、210は半導体電子子、211は電極部 (パッド)、220はワイヤ、230はリードフレーム、231はインナーリード、231Abは第1面、231Bは第2面、231Acは第3面、231Adは第4面、233は電子子柱部、233Abは電子子柱部、233Bは倒面、235はダイバッド、240は封止用樹脂、250は絕縁接着剤、250Aは底面材、260は電極用テープである。本実施例2の場合も、実施例1と同様に、半導体電子子210は、半導体電子子の電極部 (パッド) 211側の面で接続部 (パッド) 211がインナーリード間に収まるようにして、インナーリード231に接続用導体250を介して底面固定されており、電極部211は、ワイヤ220にて、インナーリード部231の先端の第2面231Abと電気的に接続されているが、リードフレームにダイバッド235を有するので、半導体電子子210の電極部211はインナーリード部231とダイバッド235間に収められている。また、本実施例2の場合も、実施例1と同様に、半導体装置200とカートリッジとの電気的な接続に、電子子133先端部に付けられた半導体の半導体

うなる電子部233Aを介してプリント基板等へ伝達されることにより行われる。本実例においては、ダイパッド235と半導体電子210を接着する接着材250Aを電子性としており、Bf、ダイパッド235と電子部233とはインナーリード(吊りリード)にて接続されていることにより、半導体電子にて発生した熱をダイパッドを介して外部回路へ放出させることができ。尚、接着材250Aを電子性の接着剤と必ずしもする必要はないが、ダイパッド235を電子部233を介してグランドラインに接続すると、半導体電子210がノイズに発くなるとともに、ノイズを受けない接続となる。

【0018】実施例2の半導体基板に使用のリードフレーム230も、実施例1にて使用のリードフレームと同様に、42×ニッケル-銅合金を素材としたものであるが、図7(a)、図7(b)に示すように、ダイパッド235を有する形状をしており、電子部233部分より周囲に形成されたインナーリード231をもつ。インナーリード部231の厚さは40μm、電子部233厚さは0.15mmである。そして、インナーリードピッチは0.12mmと長いピッチで、半導体基板の多様化に対応できるものとしている。インナーリード部231の第2面231Abは平坦状でワイヤボンディングしやすい形状となっており、第3面231Ac、第4面231Adはインナーリード側へ凹んだ形状をしており、第2ワイヤボンディング面を強くしても強度的に強いものとしている。また、実施例2の断面封止型半導体基板の作製は、実施例1の場合とほぼ同じ工程にて行う。

【0019】実施例2の断面封止型半導体基板の実施例としては、図2に示す実施例1の実施例の場合と同様に、電子部233の先端部に第233C(図3(c))(口)を設け、封止用樹脂240から、突出させて、電子部の先端部をそのまま電子部233Aにしたもののが示げられる。

【0020】次いで、実施例3の断面封止型半導体基板を示げる。図4(a)は実施例3の断面封止型半導体基板の断面図であり、図3(b)は図4(a)のA5-A6におけるインナーリード部の断面図で、図3(c)(イ)は図3(a)のB5-B6における電子部の断面図である。図4中、300は半導体基板、310は半導体電子、311はバンプ、330はリードフレーム、331はインナーリード、331Abは第1面、331Abは第2面、331Acは第3面、331Adは第4面、333は電子部、333Aは電子部、333Bは側面、335はダイパッド、340は封止用樹脂、360は萬能テープである。本実施例の半導体基板300の場合、実施例1や実施例2の場合と異なり、半導体電子310はバンプ311を介して、バンプ311を経由インナーリード330に力を伝達し、半導体電子310とインナーリード330とを電気的に接続するしの

である。また、本実施例3の場合、実施例1や実施例2の場合と同様に、半導体基板300と外部回路との電気的な接続は、電子部333先端部に設けられた電子部の半田からなる電子部333Aを介してプリント基板がへ伝達されることにより行われる。

【0021】実施例3の半導体基板に使用のリードフレーム330も、実施例1や実施例2にて使用のリードフレームと同様に、42×ニッケル-銅合金を素材としたもので、図6(a)、図6(b)に示すような形状ををしており、リードフレーム部材と同じ厚さの電子部333部より周囲に形成されたインナーリード先端部331Aをもつ。インナーリード先端部331Aの厚さは44.0μm、インナーリード先端部331A以外の厚さは0.15mmで、盤面的には工程に充分耐えらるものとなっている。そして、インナーリードピッチは0.12mmと長いピッチで、半導体基板の多様化に対応できるものとしている。インナーリード先端部331Aの第2面331Abは平坦状でワイヤボンディングしやすい形状となっており、第3面331Ac、第4面331Adはインナーリード側へ凹んだ形状をしており、第2ワイヤボンディング面を強くしても強度的に強いものとしている。また、実施例3の断面封止型半導体基板の作製も、実施例1の場合とほぼ同じ工程にて行うが、ダイパッド335に半導体電子を伝達し固定した後、封止用樹脂にて封止する。

【0022】実施例3の断面封止型半導体基板の実施例としては、図2に示す実施例1の実施例の場合と同様に、電子部233の先端部に第233C(図4(c))(口)を設け、封止用樹脂240から、突出させて、電子部の先端部をそのまま電子部233Aにしたものが示げられる。

【0023】

【発明の効果】本発明の断面封止型半導体基板は、上記のように、リードフレームを用いた断面封止型半導体基板において、多様化に対応でき、且つ、半導体電子や半導体基板の接続を可能としている。本発明の断面封止型半導体基板は、これと同様に、又の図11(b)に示すアクターリードを用つリードフレームを用いた場合のようにダムバーのカット工程や、ダムバーの曲げ工程を必要としないため、アクターリードのスキューリング問題や、平坦性(コーブラナリティー)の問題を解消している。また、QFPやBGAに比べるとパッケージ内部の配線長が短くなるため、半導体基板が小さくなり伝達時間も短くなることを可能にしている。

【図面の簡単な説明】

【図1】実施例1の断面封止型半導体基板の断面図
【図2】実施例1の断面封止型半導体基板の実施例の区
【図3】実施例2の断面封止型半導体基板の断面図
【図4】実施例3の断面封止型半導体基板の断面図
【図5】実施例1の断面封止型半導体基板の作製工程

説明するための図

【図6】本発明の搭載対止型半導体装置に用いられるリードフレームの図

【図7】本発明の搭載対止型半導体装置に用いられるリードフレームの図

【図8】本発明の搭載対止型半導体装置に用いられるリードフレームの作成方法を説明するための図

【図9】インナーリード先端部でのワイボンディングの結果状態を示す図

【図10】従来のリードフレームのエッティング製造工程を説明するための図

【図11】搭載対止型半導体装置及び其のリードフレームの図

(符号の説明)

100, 100A, 200, 300
搭載対止型半導体装置

110, 210, 310
導体電子

111, 211, 311
板(パッド)

120, 220, 320
イナ

120A, 120B
イナ

121A, 121B
つま端

130, 230, 330
リードフレーム

131, 231, 331
ンナーリード

131Aa, 231Aa, 331Aa
1番

131Ab, 231Ab, 331Ab
2番

131Ac, 231Ac, 331Ac
3番

131Ad, 231Ad, 331Ad
4番

131B, 231B
端部

133, 233, 333
子位

133A
子位

133B
子位

133C
136, 236
ルバ

137, 237

レーム(ル) 部

140, 240, 340
止用板部

150

棒状ループ

160, 260, 360
接着テープ

235

イバッド

リードフレーム部材

820A, 820B
ジストバーン

830

一の端口部

840

二の端口部

850

一の凹部

860

二の凹部

870

端状部

880

エッティング端状部

920C, 920D, 920E

イナ

921C, 921D, 921E

イナ

931D, 931E
ンナーリード先端部

931Aa

リードフレーム端部

931Ac

イニシング部

1010

リードフレーム部材

1020

オトレジスト

1030

ジストバーン

1040

ンナーリード

1110

リードフレーム

1111

イバッド

1112

ンナーリード

1112A

(1)

特開平9-8207

20

シナーリード先端部

1113

導体電子

7 1121

ウターリード

1114 包装(パッフ)

7 1130

ムバー

7 イヤ

1115

7 1140

レーム部(枠部)

31 止用樹脂

1120

■

19

6

7

31

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

19

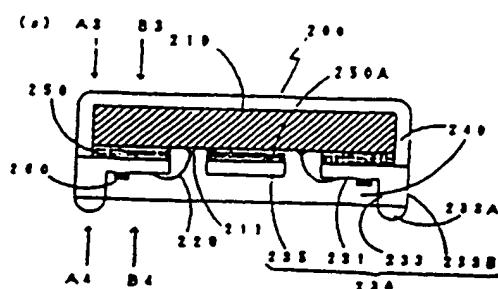
19

19

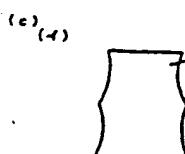
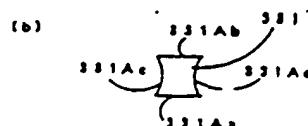
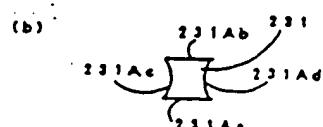
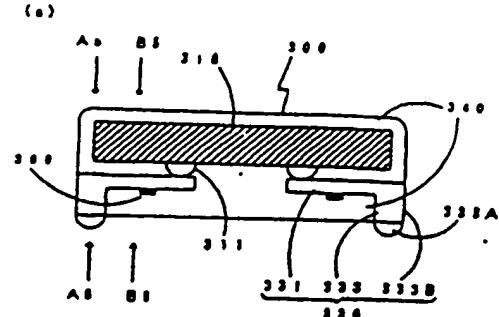
19

19

(図 3)



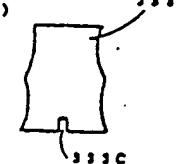
(図 4)



(c)

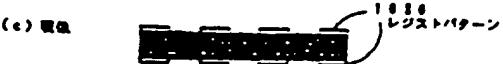


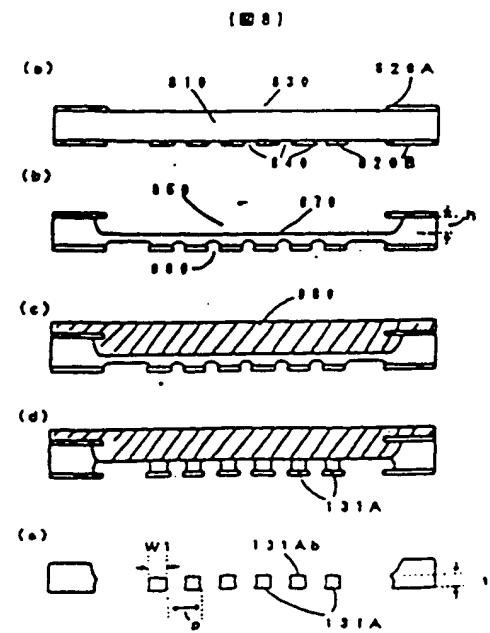
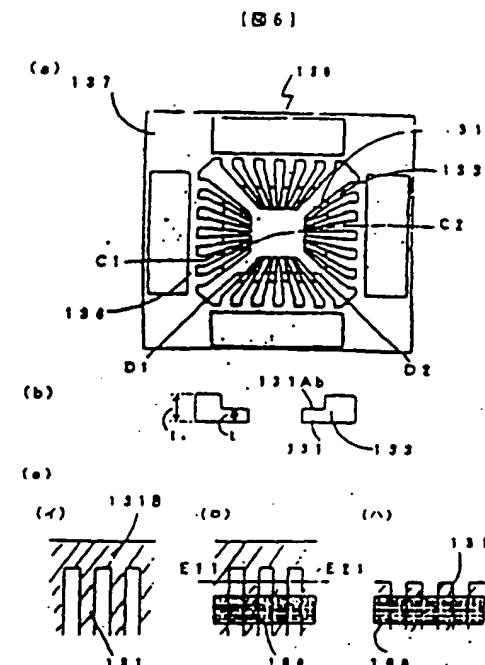
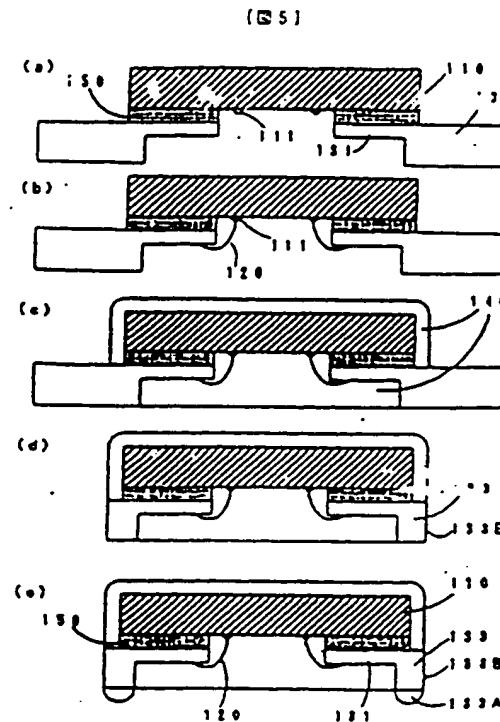
(d)

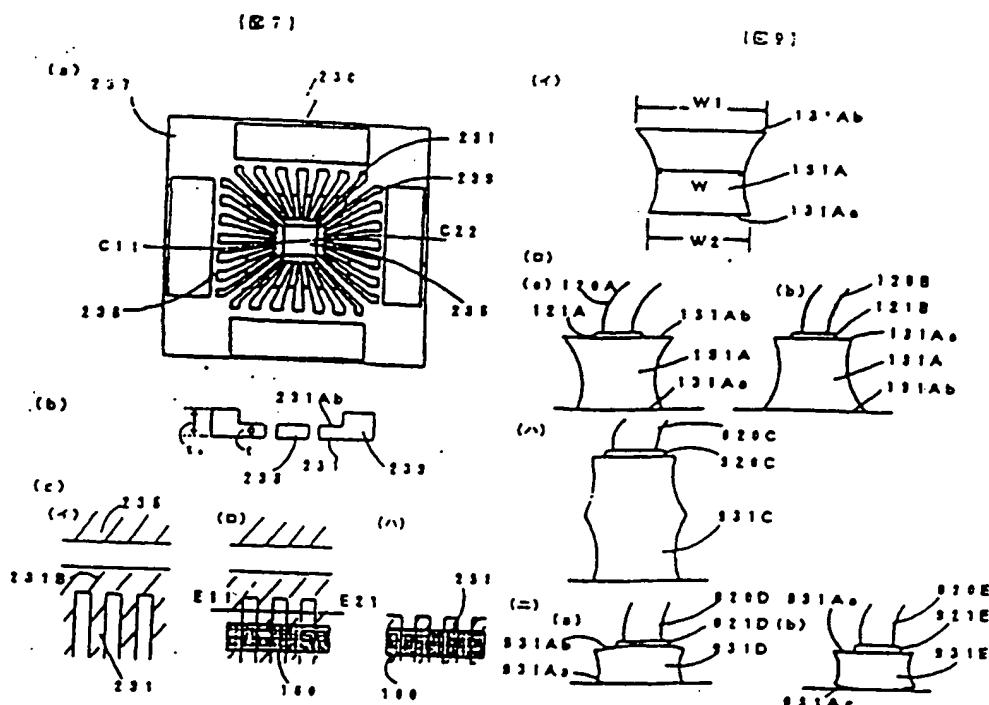


(d)

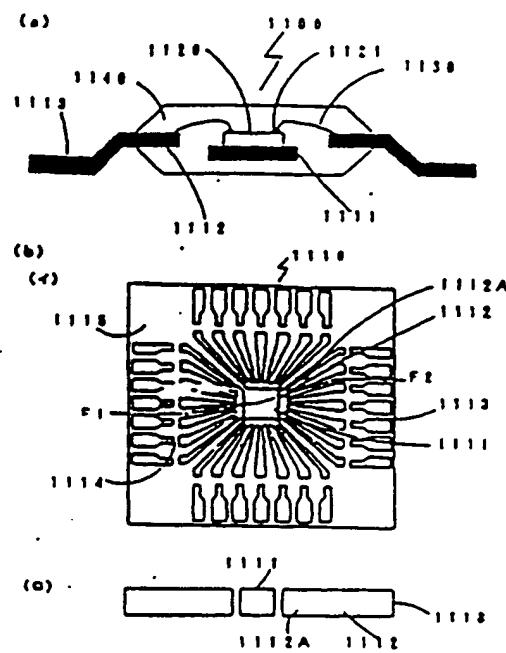
(図 10)







〔図11〕



Japanese Patent Laid-Open Publication No. Heisei 9-8207

[TITLE OF THE INVENTION]

RESIN-ENCAPSULATED SEMICONDUCTOR DEVICE

5

[CLAIMS]

1. A resin-encapsulated CSP type semiconductor device in which a lead frame shaped in accordance with a two-step etching process in such a manner that a thickness of inner leads is thinner than that of the lead frame and which is encapsulated with an encapsulating resin in such a manner that it is substantially the same as that of a semiconductor chip in size, the lead frame including:
 - 10 inner leads having a thickness smaller than that of a lead frame blank;
 - 15 terminal columns having the same thickness as that of the lead frame blank and being integrally connected to the inner leads and also being adapted to be electrically connected to an external circuit;
 - 20 the terminal columns being disposed outside of the inner leads in such a manner that they are coupled to the inner leads in a direction orthogonal to a thickness-wise direction thereof, the terminal columns being mounted on the surface opposite the surface of the lead frame on which
 - 25 the semiconductor chip is mounted, the terminal columns

having terminal portions arranged on their tips;

the terminal portions being made of solder, etc. and exposed externally through the encapsulating resin such that the terminal columns are exposed externally through the encapsulating resin at their outer sides; and

5 the semiconductor chip at its surface having electrode portions being mounted on the inner leads by means of an insulating adhesive, and the electrode portions being arranged between the inner leads and being electrically connected to tips of the inner leads by wires.

2. A resin-encapsulated CSP type semiconductor device in which a lead frame shaped in accordance with a two-step etching process in such a manner that a thickness 15 of inner leads is thinner than that of the lead frame and which is encapsulated with an encapsulating resin in such a manner that it is substantially the same as that of a semiconductor chip in size, the lead frame including:

20 inner leads having a thickness smaller than that of a lead frame blank;

terminal columns having the same thickness as that of the lead frame blank and being integrally connected to the inner leads and also being adapted to be electrically connected to an external circuit;

25 the terminal columns being disposed outside of the

inner leads in such a manner that they are coupled to the inner leads in a direction orthogonal to a thickness-wise direction thereof, the terminal columns being mounted on the surface opposite the lead frame surface on which the semiconductor chip is mounted, the terminal columns being exposed externally through the encapsulating resin at a portion of the tips thereof to serve as terminal portions, the terminal columns being exposed externally through the encapsulating resin at the outer sides thereof; and

10 the semiconductor chip at its surface having electrode portions being mounted on the inner leads by means of an insulating adhesive, and the electrode portions being electrically connected to tips of the inner leads by wires.

15 3. The resin-encapsulated CSP type semiconductor devices of claim 1 or 2, wherein the lead frame has a die pad, and the semiconductor chip is mounted in such a manner that electrode portions thereof are arranged between the inner leads and the die pad.

4. A resin-encapsulated CSP type semiconductor device in which a lead frame shaped in accordance with a two-step etching process in such a manner that a thickness of inner leads is thinner than that of the lead frame and which is encapsulated with an encapsulating resin in such a manner

that it is substantially the same as that of a semiconductor chip in size, the lead frame including:

inner leads having a thickness smaller than that of a lead frame blank;

5

terminal columns having the same thickness as that of the lead frame blank and being integrally connected to the inner leads and also being adapted to be electrically connected to an external circuit;

10

the terminal columns being disposed outside of the inner leads in such a manner that they are coupled to the inner leads in a direction orthogonal to a thickness-wise direction thereof, the terminal columns being mounted on the surface opposite the surface of the lead frame on which the semiconductor device is mounted, the terminal columns having terminal portions arranged on their tips;

15

the terminal portions being made of solder, etc. and exposed externally through the encapsulating resin such that the terminal columns are exposed externally through the encapsulating resin at the outer sides thereof; and

20

the semiconductor chip being mounted on the inner leads by bumps arranged on one surface of the semiconductor chip, and the semiconductor chip being electrically connected to the inner leads.

25

5. A resin-encapsulated CSP type semiconductor

device in which a lead frame shaped in accordance with a two-step etching process in such a manner that a thickness of inner leads is thinner than that of the lead frame and which is encapsulated with an encapsulating resin in such a 5 manner that it is substantially the same as that of a semiconductor chip in size, the lead frame including:

inner leads having a thickness smaller than that of a lead frame blank;

10 terminal columns having the same thickness as that of the lead frame blank and being integrally connected to the inner leads and also being adapted to be electrically connected to an external circuit;

15 the terminal columns being disposed outside of the inner leads in such a manner that they are coupled to the inner leads in a direction orthogonal to a thickness-wise direction thereof, the terminal columns being mounted on the surface opposite the surface of the lead frame on which the semiconductor device is mounted, the terminal columns being exposed externally through the encapsulating resin at 20 a portion of tips thereof to serve as terminal portions; and

25 the semiconductor chip being mounted on the inner leads by bumps arranged on one surface thereof, and the semiconductor chip being electrically connected to the inner leads.

6. The resin-encapsulated CSP type semiconductor device of any of claims 1 to 5, wherein the inner leads each have a rectangular cross-sectional shape including four faces respectively provided with a first surface, a second surface, a third surface, and a fourth surface, the first surface being opposite to the second surface and flush with one surface of the remaining portion of the inner lead having the same thickness as that of the lead frame blank, and the third and fourth surfaces each having a concave shape depressed toward the inside of the inner lead.

15 [DETAILED DESCRIPTION OF THE INVENTION]
[FIELD OF THE INVENTION]

10 The present invention relates to a resin-encapsulated semiconductor device capable of meeting the requirement for an increase in the number of terminals and having a miniaturized structure and thus an excellent mounting efficiency. More particularly, the present invention relates to a resin-encapsulated semiconductor device utilizing a lead frame shaped in a manner that an inner lead portion is thinner in a thickness than a lead frame blank.

[DESCRIPTION OF THE PRIOR ART]

Fig. 11a shows the configuration of a generally known resin-encapsulated semiconductor device (a plastic lead frame package). The shown resin-encapsulated semiconductor device includes a die pad 1111 having a semiconductor chip 1120 mounted thereon, outer leads to be electrically connected to the associated circuits, inner leads 1112 formed integrally with the outer leads 1113, bonding wires 1130 for electrically connecting the tips of the inner leads 1112 to the bonding pad 1121 of the semiconductor chip 1120, and a resin encapsulating the semiconductor chip 1120 to protect the semiconductor chip 1120 from external stresses and contaminants. This resin-encapsulated semiconductor device, after mounting the semiconductor chip 1120 on the bonding pad 1121, is manufactured by encapsulating the semiconductor chip 1120 with the resin. In this resin-encapsulated semiconductor device, the number of the inner leads 1112 is equal to that of the bonding pads 1121 of the semiconductor chip 1120. And, Fig. 11b shows the configuration of a monolayer lead frame used as an assembly member of the resin-encapsulated semiconductor device shown in Fig. 11a. Such a lead frame includes the bonding pad 1111 for mounting the semiconductor chip, the inner leads 1112 to be electrically connected to the semiconductor device, the outer lead 1113 which is integral

with the inner lead 1112 and is adapted to be electrically connected to the associated circuits. This also includes 5 dam bars serving as a dam when encapsulating the semiconductor device with the resin, and a frame serving to support the entire lead frame 1110. Such a lead frame is formed from a highly conductive metal such as a cobalt, 42 alloy(a 42% Ni-Fe alloy), copper-based alloy by a pressing working process or an etching process.

Recently, there has been growing demand for the 10 miniaturization and reduction in thickness of resin-encapsulated semiconductor device employing lead frames like the lead frame 1110(plastic lead frame package) and the increase of the number of terminals of resin-encapsulated semiconductor package as electronic 15 apparatuses are miniaturized progressively and the degree of the integration of semiconductor device increase progressively. Thus, recent resin-encapsulated semiconductor package, particularly quad plate package(QFPs) and thin quad flat packages (TQFPs) have each 20 a greatly increased number of pins.

Lead frames having inner leads arranged at small 25 pitches among lead frames for semiconductor packages are fabricated by a photolithographic etching process, while lead frames having inner leads arranged at comparatively large pitches among lead frames for semiconductor packages

are fabricated by press working. However, lead frames having a large number of fine inner leads to be used for forming semiconductor packages having a large number of pins are fabricated by subjecting a blank of a thickness on the order of 0.25 mm to an etching process, not a press working.

The etching process for forming a lead frame having fine inner leads will be described hereinafter with reference to Fig. 10. First a copper alloy or 42 alloy thin sheet 1010 of a thickness on the order of 0.25 mm (blank for a lead frame) is cleaned perfectly (Fig. 10a). Then, a photoresist, such as a water-soluble casein photoresist containing potassium dichromate as a sensitive agent, is spread in photoresist films 1020 over the major surfaces of the thin film as shown in Fig. 10b. Then, the photoresist films are exposed, through a mask of a predetermined pattern, to light emitted by a high-pressure mercury lamp, and the thin sheet is immersed in a developer for development to form a patterned photoresist film 1030 as shown in Fig. 10c. Then, the thin sheet is subjected, when need be, to a hardening process, a washing process and such, and then an etchant containing ferric chloride as a principal component is sprayed against the thin sheet 1010 to etch through portions of the thin sheet 1010 not coated with the patterned photoresist films 1020 so that inner

leads of predetermined sizes and shapes are formed as shown in Fig. 10d.

Then, the patterned resist films are removed, the patterned thin sheet 1010 is washed to complete a lead frame having the inner leads of desired shapes as shown in Fig. 13e. Predetermined areas of the lead frame thus formed by the etching process are silver-plated. After being washed and dried, an adhesive polyimide tape is stuck to the inner leads for fixation, predetermined tab bars are bent, when need be, and the die pad depressed. In the etching process, the etchant etches the thin sheet in both the direction of the thickness and directions perpendicular to the thickness, which limits the miniaturization of inner lead pitches of lead frames. Since the thin sheet is etched from both the major surfaces as shown in Fig. 10 during the etching process, it is said, when the lead frame has a line-and-space shape, that the smallest possible intervals between the lines are in the range of 50 to 100% of the thickness of the thin sheet. From the viewpoint of forming the outer lead having a sufficient strength, generally, the thickness of the thin sheet must be about 0.125 mm or above. Furthermore, the width of the inner leads must be in the range of 70 to 80 μ m for successful wire bonding. When the etching process as illustrated in Fig. 10 is employed in fabricating a lead frame, a thin sheet of a small

thickness in the range of 0.125 to 0.15 mm is used and inner leads are formed by etching so that the fine tips thereof are arranged at a pitch of about 0.165 mm.

However, recent miniature resin-encapsulated

5 semiconductor package requires inner leads arranged at pitches in the range of 0.013 to 0.15 mm, far smaller than 0.165 mm. When a lead frame is fabricated by processing a thin sheet of a reduced thickness, the strength of the outer leads of such a lead frame is not large enough to 10 withstand external forces that may be applied thereto in the subsequent processes including an assembling process and a chip mounting process. Accordingly, there is a limit to the reduction of the thickness of the thin sheet to enable the fabrication of a minute lead frame having fine 15 leads arranged at very small pitches by etching.

An etching method previously proposed to overcome such difficulties subjects a thin sheet to an etching process to form a lead frame after reducing the thickness of portions of the thin sheet corresponding to the inner leads of the 20 lead frame by half etching or pressing to form the fine inner leads by etching without reducing the strength of the outer leads. However, problems arise in accuracy in the subsequent processes when the lead frame is formed by etching after reducing the thickness of the portions corresponding to the inner leads by pressing; for example, 25

the smoothness of the surface of the plated areas is unsatisfactory, the inner leads cannot be formed in a flatness and a dimensional accuracy required to clamp the lead frame accurately for bonding and molding, and a platemaking process must be repeated twice making the lead fabricating process intricate. It is also necessary to repeat a platemaking process twice when the thickness of the portions of the thin sheet corresponding to the inner leads is reduced by half etching before subjecting the thin sheet to an etching process for forming the lead frame, which also makes the lead frame fabricating process intricate. Thus, this previously proposed etching method has not yet been applied to practical lead frame fabricating processes.

15

[SUBJECT MATTERS TO BE SOLVED BY THE INVENTION]

Meanwhile, there has been growing demand for the miniaturization and increase in the mounting efficiency of the semiconductor package as electronic apparatuses are miniaturized progressively. Thus, a package, so called "CSP" (Chip Size Package) is proposed which is encapsulated with a resin in such a manner that its size is substantially equal to that of the semiconductor chip. The CSP has the following advantages.

25

- 1: First, where the number of pins of the CSP is equal

to that of QFP (Quad Flat Package) or BGA (Ball Grid Package), the CSP enables a remarkable reduction in the mounting area as compared to the QFP or BGA.

2) Second, if the CSP is equal to the QFP or BGA in size, the CSP is increased in the pin number over the QFP or BGA. In the case of the QFP, a practical use dimension is 40 mm or less when considering the length of the package or substrate, and the pin number is 304 or less if the outer leads are arranged at a pitch of 0.5 mm. The outer leads need to be arranged at a pitch of 0.4mm or 0.3 mm to increase the pin number, but this causes a user difficulty in mounting the semiconductor package at a high productivity. Generally, in fabricating the QFP in which the outer leads are arranged at a pitch of 0.3 mm or less, the mass production of the QFP necessarily involves an increase in costs, otherwise the mass production is difficult. The BGA was proposed to overcome such a difficulty of the QFP. In the BGA, external terminals are formed in the shape of two-dimensional array, and arranged at a wider pitch, thereby reducing a difficulty in mounting it. Moreover, although the BGA permits the conventional overall reflow soldering even at the pin number in excess of 300 pins, solder bumps are incorporated with clacks depending on the temperature cycle if the dimension of the BGA reaches 30 to 40 mm, such that an upper limitation of

the pin number of the BGA is 600 to 700 pins, or at most 1000 pins. In the case of the CSP in which external terminals are mounted in the shape of two-dimensional array on the back surface of the CSP, pitches of the external terminals can be increased in accordance with the concepts of the BGA. Moreover, in the CSP, the overall reflow soldering can be permitted, as in the BGA.

5 3) Third, as compared to the QFP or BGA, the CSP is short in an interconnection length, and thus less in the 10 parasitic capacitance, and thereby short in the transfer delay time. Where the clock rate is in excess of 100 MHz, the QFP is problematic in transfer into the package. The 15 CSP having a shortened interconnection length is advantageous. Accordingly, the CSP is advantageous in view of the mounting efficiency, but it needs to be narrower in the terminal pitch when considering a demand for an increase in the number of terminals.

20 Thus, the present invention is aimed to provide a resin-encapsulated semiconductor device employing a lead frame, which is capable of meeting a demand for the 25 miniaturization and increased terminal number.

(MEANS FOR SOLVING THE SUBJECT MATTERS)

25 A resin-encapsulated semiconductor device in accordance with the present invention is a resin-

encapsulated CSP type semiconductor device in which a lead
frame shaped in accordance with a two-step etching process
in a manner that a thickness of inner leads is thinner than
that of the lead frame and which is encapsulated with an
5 encapsulating resin in such a manner that it is
substantially the same as that of a semiconductor chip in
size, the lead frame including: inner leads having a
thickness smaller than that of a lead frame blank; and
10 terminal columns having the same thickness as that of the
lead frame blank and being integrally connected to the
inner leads and also being adapted to be electrically
connected to an external circuit; the terminal columns
being disposed outside of the inner leads in such a manner
15 that they are coupled to the inner leads in a direction
orthogonal to thickness-wise direction thereof, the
terminal columns being mounted on the surface opposite the
surface on which the semiconductor chip is mounted, the
terminal columns having terminal portions arranged on their
tips; the terminal portions being made of solder, etc. and
20 exposed externally through the encapsulating resin such
that the terminal columns are exposed externally through
the encapsulating resin at their outer sides; the
semiconductor chip at its surface having electrode portions
(pads) being mounted on the inner leads by means of an
25 insulating adhesive, and the electrode portions being

electrically connected to tips of the inner leads by wires. Moreover, a resin-encapsulated semiconductor device in accordance with the present invention is a resin-encapsulated CSP type semiconductor device in which a lead frame shaped in accordance with a two-step etching process in a manner that a thickness of inner leads is thinner than that of the lead frame and which is encapsulated with an encapsulating resin in such a manner that it is substantially the same as that of a semiconductor chip in size, the lead frame including: inner leads having a thickness smaller than that of a lead frame blank; and terminal columns having the same thickness as that of the lead frame blank and being integrally connected to the inner leads and also being adapted to be electrically connected to an external circuit; the terminal columns being disposed outside of the inner leads in such a manner that they are coupled to the inner leads in a direction orthogonal to thickness-wise direction thereof, the terminal columns being mounted on the surface opposite the lead frame surface on which the semiconductor chip is mounted, the terminal columns being exposed externally through the encapsulating resin at their outer sides; the semiconductor chip at its surface having electrode portions (pads) being mounted on the inner leads by means of an insulating adhesive, and the electrode portions being

arranged between the inner leads and electrically connected to tips of the inner leads by wires.

In the resin-encapsulated CSP type semiconductor devices as described above, the lead frame has a die pad, and the semiconductor chip is mounted in such a manner that their electrode portions is arranged between the inner leads and the die pad.

Furthermore, a resin-encapsulated semiconductor device in accordance with the present invention is a resin-encapsulated CSP type semiconductor device in which a lead frame shaped in accordance with a two-step etching process in a manner that a thickness of inner leads is thinner than that of the lead frame and which is encapsulated with an encapsulating resin in such a manner that it is substantially the same as that of a semiconductor chip in size, the lead frame including: inner leads having a thickness smaller than that of a lead frame blank; and terminal columns having the same thickness as that of the lead frame blank and being integrally connected to the inner leads and also being adapted to be electrically connected to an external circuit; the terminal columns being disposed outside of the inner leads in such a manner that they are coupled to the inner leads in a direction orthogonal to thickness-wise direction thereof, the terminal columns being mounted on the surface opposite the

surface of the lead frame on which the semiconductor device is mounted, the terminal columns having terminal portions arranged on their tips; the terminal portions being made of solder, etc. and exposed externally through the encapsulating resin such that the terminal columns are exposed externally through the encapsulating resin at their outer sides; the semiconductor chip being mounted on the inner leads by bumps arranged on one surface of the semiconductor chip, and the semiconductor chip being electrically connected to the inner leads.

Also, a resin-encapsulated semiconductor device in accordance with the present invention is a resin-encapsulated CSP type semiconductor device in which a lead frame shaped in accordance with a two-step etching process in a manner that a thickness of inner leads is thinner than that of the lead frame and which is encapsulated with an encapsulating resin in such a manner that it is substantially the same as that of a semiconductor chip in size, the lead frame including: inner leads having a thickness smaller than that of a lead frame blank; and terminal columns having the same thickness as that of the lead frame blank and being integrally connected to the inner leads and also being adapted to be electrically connected to an external circuit; the terminal columns being disposed outside of the inner leads in such a manner

that they are coupled to the inner leads in a direction orthogonal to thickness-wise direction thereof, the terminal columns being mounted on the surface opposite the surface of the lead frame on which the semiconductor device is mounted, the terminal columns having terminal portions arranged on their tips; the terminal portions being exposed externally through the encapsulating resin at a portion of tips thereof; the semiconductor chip being mounted on the inner leads by bumps arranged on one surface thereof, and the semiconductor chip being electrically connected to the inner leads.

In the resin-encapsulated CSP type package, the inner leads each have a rectangular cross-sectional shape including four faces respectively provided with a first surface, a second surface, a third surface, and a fourth surface, the first surface being opposite to the second surface and flush with one surface of the remaining portion of the inner lead having the same thickness as that of the lead frame blank, and the third and fourth surfaces each having a concave shape depressed toward the inside of the inner lead.

Meanwhile, the CSP type semiconductor devices as used herein generally means resin-encapsulated semiconductor devices encapsulated with an encapsulating resin in a manner that each of the resulting structures is

lead, the inner leads are stable and wider in their width.

Furthermore, in the resin-encapsulated semiconductor device in accordance with the present invention, a semiconductor chip is mounted on the inner leads by bumps arranged on one surface of the semiconductor chip, and the semiconductor chip and the inner leads are electrically connected to each other. Thus, wire bondings are not required, and also bondings can be carried out in a lump.

10 [EMBODIMENTS]

Embodiments of the resin-encapsulated semiconductor device in accordance with the present invention will now be described with reference to Figures. 1. First, a first embodiment is shown in Fig. 1. Fig 1a is a cross-sectional view of the resin-encapsulated semiconductor device according to the first embodiment of the present invention. Fig. 1b is a cross-sectional view of each of the inner leads taken along the line A1-A2 of Fig. 1a, and Fig 1c is a cross-sectional of each of terminal columns view taken along the line B1-B2 of Fig. 1a. In Fig. 1, a reference numeral 100 depicts a resin-encapsulated semiconductor device, 110 a semiconductor chip, 111 electrode portions (pads), 120 wires, 130 a lead frame, 131 inner leads, 131Aa a first surface, 131Ab a second surface, 131Ac a third surface, 131Ad a fourth surface, 133 terminal columns, 133A

terminal portions, 133B sides, 140 an encapsulating resin, 150 an insulating adhesive, and 160 a reinforcing tape.

In the resin-encapsulated semiconductor device according to the first embodiment, a semiconductor device 110 is mounted in a manner that the electrode portions 131 of the semiconductor chip 110 are arranged between the inner leads. The semiconductor chip 110 is electrically connected to the second surface 131 Ab of the tip of each inner lead 131. The electrical connection of the resin-encapsulated semiconductor device 100 to an external circuit is achieved by mounting the resin-encapsulated semiconductor device 100 at terminal portions made of semi-spherical solder on a printed circuit substrate. The lead frame 130 used in the semiconductor device 100 according to the first embodiment is made of a 42% nickel-iron alloy. This lead frame 130 has a shape as shown in Fig. 6a. As shown in Fig. 6a, the lead frame 130 has inner leads 131 shaped to have a thickness smaller than that of the terminal column 133. Dam bars 136 serve as a dam when encapsulating with a resin. Moreover, although the lead frame processed by etching to have a shape as shown in Fig. 6a is used in this embodiment, the lead frame is not limited to such a shape as portions other than the inner leads and the terminal columns 133 are not required to be used. The inner leads 131 have a thickness of 40 μ m whereas

the portions of the lead frame other than the inner leads 131 have a thickness of 0.15 mm corresponding to the thickness of the lead frame blank. The tips of the inner leads have a fine pitch of 0.12 mm so as to achieve an increase in the number of terminals for semiconductor devices. The second face denoted by the reference numeral 131Ab is a surface etched, but having a substantially flat profile, so as to allow an easy wire bonding thereon. The third and fourth faces 131Ac and 131Ad have a concave shape depressed toward the inside of the associated inner lead, respectively. This structure exhibits a high strength even though the second face (wire bonding surface) is narrow. Also, Fig. 6b is a cross-sectional view taken with the line C1-C2 of Fig. 6a. The reinforcing tape 160 is attached 15 fixedly so as not to cause twisting in the inner leads. Also, if the inner leads are short in their length, a lead frame fabricated by etching to have a shape shown in Fig. 6a is mounted with the semiconductor chip in accordance with a method as described below. However, where the inner leads are long in their length and have a tendency for the 20 generation of twisting therein, it is impossible to fabricate directly the lead frame by etching to have a shape as shown in Fig. 6a. Therefore, after etching the lead frame in a state where the tips of the inner leads are 25 fixed to the connecting portion 131B as shown in Fig.

6c(i), the inner leads 131 are fixed with the reinforcing tape 160 as shown in Fig. 6c(ii). Then, the connecting portion 131B unnecessary for the fabrication of the resin-encapsulated semiconductor device are removed by means of a press as shown in Fig. 6c (iii), and a semiconductor chip is then mounted on the lead frame. In Fig. 6c(ii), the line E1-E2 shows the line to be cut by a press.

5 A method for the fabrication of the resin-encapsulated semiconductor device will now be described in brief. First, 10 as shown in Fig. 5a, a lead frame, which is fabricated by an etching and from which the unnecessary portions are moved by a cutting process, is arranged in a manner that thin tips of the inner leads are directed upwardly. Moreover, if the inner leads are long in their length, the 15 tips of the inner leads are fixed by a polyimide tape, as required. Then, the surface of the semiconductor device 110 having electrode portions 111 formed thereon is directed downwardly, and located on the inner leads in a manner that the electrode portions are arranged between the 20 inner leads 131. Then, the semiconductor device 110 is mounted fixedly on the inner leads by means of an insulating adhesive 150.

Then, as shown in Fig. 5b, the electrode portions are 25 electrically connected to the tips of the inner leads 131 by wires 120. Subsequently, encapsulation is carried out

with the conventional encapsulating resin 140, as shown in Fig. 5c. Such an encapsulation with the resin is carried out using a desired mold in a manner that the outer surface of the terminal columns is somewhat protruded externally 5 from the encapsulating resin. Then, unnecessary portions of the lead frame 130 protruded from the encapsulating resin 140 are cut off by a press to form terminal columns 130 while forming sides 133B of the terminal columns 130, as shown in Fig. 5d. In this case, it is preferable to form 10 previously the cutting line in the lead frame for easy cutting. Particularly, the forming of the cutting line during etching of the lead frame results in the saving of time. The dam bars 136, frame portions 137, etc. of the lead frame 110 as shown in Fig. 6 are removed. Next, 15 terminal portion 133A made of solder is arranged on the outer surface of each terminal column to fabricate a resin-encapsulated semiconductor device. The terminal portion 133A serves to facilitate connection of the resin-encapsulated semiconductor device to an external circuit, 20 but does not necessarily need to be arranged.

A method for etching the lead frame of the first embodiment will now be described in conjunction with Figs. 25 8a to 8e. Figs. 8a to 8e are cross-sectional views respectively illustrating sequential steps of the etching process for the lead frame of the first embodiment shown in

Fig. 1. In particular, the cross-sectional views of Figs. 8a to 8e correspond to a cross section taken along the line D1 - D2 of Fig. 6a, respectively. In Figs. 8a to 8e, the reference numeral 810 denotes a lead frame blank, 820A and 820B resist patterns, 830 first opening, 840 second openings, 850 first concave portion, 860 second concave portions, 870 flat surface, 880 an etch-resistant layer, 131A tips of inner leads, and 131Ab second faces of inner leads, respectively. First, a water-soluble casein resist using potassium dichromate as a sensitive agent is coated over both surfaces of a lead frame blank 810 made of a 42% nickel-iron alloy and having a thickness of about 0.15 mm. Using desired pattern plates, the resist films are patterned to form resist patterns 820A and 820B having first opening 830 and second openings 840, respectively (Fig. 8a).

The first opening 830 is adapted to etch the lead frame blank 810 to have an etched flat bottom surface of a thickness smaller than that of the lead frame blank 810 in a subsequent process. The second openings 840 are adapted to form desired shapes of tips of inner leads. Although the first opening 830 includes at least an area forming the tips of the inner leads 810, a topology generated by a partially thinned portion by etching in a subsequent process can cause hindrance in a taping process or a

clamping process for fixing the lead frame. Thus, an area to be etched needs to be sufficiently large without being limited to an area for forming the fine portions of the tips of the inner leads. Thereafter, both surfaces of the 5 lead frame blank 810 formed with the resist patterns are etched using a 48 Be' ferric chloride solution of a temperature of 57 °C at a spray pressure of 2.5 kg/cm². The etching process is terminated at the point of time when first recess 850 etched to have a flat etched bottom 10 surface has a depth h corresponding to 2/3 of the thickness of the lead frame blank (Fig. 8b).

Although both surfaces of the lead frame blank 810 are simultaneously etched in the primary etching process, it is unnecessary to simultaneously etch both surfaces of the 15 lead frame blank 810. For instance, an etching process may be conducted at the surface of the lead frame blank formed with the resist pattern 820B having openings of a desired shape to form at least a desired shape of the inner leads using an etchant solution. In this case, the etching 20 process is terminated after obtaining a desired etching depth at the etched inner lead forming regions. The reason why both surfaces of the lead frame blank 810 are simultaneously etched, as in this embodiment, is to reduce the etching time taken in a secondary etching process as 25 described hereinafter. The total time taken for the

primary and secondary etching processes is less than that taken in the case of etching only one surface of the lead frame blank on which the resist pattern 820A is formed.

5 Subsequently, the surface provided with the first recess 850 etched at the first opening 830 is entirely coated with an etch-resistant hot-melt wax (acidic wax type MR-WB6, The Inctec Inc.) by a die coater to form an etch-resistant layer 880 so as to fill up the first recess 850 and to cover the resist pattern 820A (Fig. 8c).

10 It is unnecessary to coat the etch-resistant layer 880 over the entire portion of the surface provided with the resist pattern 820A. However, it is preferred that the etch-resistant layer 880 be coated over the entire portion of the surface formed with the first recess 850 and first

15 opening 830, as shown in Fig. 8c, because it is difficult to coat the etch-resistant layer 880 only on the surface portion including the first recess 850. Although the etch-resistant layer 880 wax employed in this embodiment is an alkali-soluble wax, any suitable wax resistant to the

20 etching action of the etchant solution and remaining somewhat soft during etching may be used. A wax for forming the etch-resistant layer 880 is not limited to the above-mentioned wax, but may be a wax of a UV-setting type.

25 Since the first recess 850 etched by the primary etching process at the surface formed with the pattern adapted to

form a desired shape of the inner lead tip is filled up with the etch-resistant layer 880, it is not further etched in the following secondary etching process. The etch-resistant layer 880 also enhances the mechanical strength of the lead frame blank for the second etching process, thereby enabling the second etching process to be conducted while keeping a high accuracy. It is also possible to enable a second etchant solution to be sprayed at an increased spraying pressure, for example, 2.5 kg/cm² or above, in the secondary etching process. The increased spraying pressure promotes the progress of etching in the direction of the thickness of the lead frame blank in the secondary etching process. Then, the lead frame blank is subjected to a secondary etching process. In this secondary etching process, the lead frame blank 810 is etched at its surface formed with the first recess 850 having a flat etched bottom surface, to completely perforate the lead frame blank 810, thereby forming the tips 890 of the inner leads (Fig. 8d).

The bottom surface 870 of each recess formed by the primary etching process and parallel to the surface of the lead frame is flat. However, both side surfaces of each recess positioned at opposite sides of the bottom surface 870 have a concave shape depressed toward the inside of the inner lead. Then, the lead frame blank is cleaned. After

completion of the cleaning process, the etch-resistant layer 880, and resist films (resist patterns 820A and 820B) are sequentially removed. Thus, a lead frame having a structure of Fig. 6a is obtained in which tips 690 of inner leads are arranged at a fine pitch. The removal of the etch-resistant layer 880 and resist films (resist patterns 820A and 820B) is achieved using a sodium hydroxide solution serving to dissolve them.

5 The etching method in which the etching process is conducted at two separate steps, respectively, as described above, is generally called a "two-step etching method". This etching method is advantageous in that a desired fineness can be obtained. The etching method used to fabricate the lead frame 130 used in the present invention and shown in Figs. 6a and 6b involves the two-step etching method and the method for forming a desired shape of each lead frame portion while reducing the thickness of each pattern formed. In accordance with the above method, the 10 fineness of the tip 131A of each inner lead formed by this method is dependent on a shape of the second recesses 860 and the thickness of the inner lead tip. For example, where the blank has a thickness t reduced to 50 μ m, the inner leads can have a fineness corresponding to a lead width W_1 of 100 μ m and a tip pitch p of 0.15 mm, as shown 15 in Fig. 6e. In the case of using a small blank thickness t

20

25

of about 30 μ m and a lead width W_1 of 70 μ m, it is possible to form inner leads having a fineness corresponding to an inner lead pitch p of 0.12 mm. Of course, it may be possible to form inner leads having a further reduced tip pitch by adjusting the blank thickness t and the lead width W_1 .

5 In the case where twisting of the inner leads does not occur in the fabricating process, as in the case where the inner leads are short in their length, a lead frame illustrated in Fig. 6a can be directly obtained. However, 10 where the inner leads are long in length as compared to those of the first embodiment, the inner leads have a tendency for the generation of twisting. Thus, in this case, the lead frame is obtained by etching in a state 15 where the tips of the inner leads are bound to each other by a connecting member 131B as shown in Fig. 6c(I). Then, the connecting member 131B, unnecessary for the fabrication of a semiconductor package, is cut off by means of a press to obtain a lead frame shaped as shown in Fig. 6a.

20 In the case of fabricating a lead frame 230 having a die pad 235 as shown in Figs. 7a and 7b, the lead frame may be shaped by etching in a state where a connecting member 231B is arranged on the tips of the inner leads to bind the tips directly to the die pad, as shown in Fig. 7c(I). Then, 25 unnecessary portions in the shaped lead frame may be cut

off. Moreover, Fig. 7b is a cross-sectional view taken along the line C11-C22, and the line E11-E21 in Fig. 7c(iii) shows a cutting line. After the inner leads are plated in accordance with a jig plating process, unnecessary portions are cut off to obtain a lead frame having a good quality with no plating failure. Moreover, as described above, where unnecessary portions in the structure shown in Fig. 6c are cut off to obtain the lead frame having a shape shown in Fig. 6a, a reinforcing tape 160 (a polyimide tape) is generally used, as shown in Fig. 6c(iii). Similarly, the reinforcing tape is also used in the case of cutting off unnecessary portions in a structure shown in Fig. 7c. While the connecting member 131B is cut off by means of a press to obtain a shape shown in Fig. 6c(iii), a semiconductor chip is mounted on the lead frame still having the reinforcing tape attached thereon. Also, the mounted semiconductor chip is encapsulated with a resin in a condition where the lead frame still has the tape.

The tip 131A of each inner lead of the lead frame used in the semiconductor device of this first embodiment has a cross-sectional shape as shown in Fig. 9(I). The tip 131A has an etched flat surface (second surface) 131Ab which has a width W_1 slightly more than the width W_2 of an opposite surface. The widths W_1 and W_2 (about 100 μm) are more than the width W at the central portion of the tips when viewed

in the direction of the inner lead thickness. Thus, the tip of the inner lead has a cross-sectional shape having opposite wide surfaces. To this end, although either of the opposite surfaces of the tip 131A can be easily 5 electrically connected to a semiconductor chip (not shown) by a wire 120A or 120B, this embodiment illustrates the use of the etched flat surface for wire-bonding as shown in Fig. 9(ii)a. In Fig. 9, a reference numeral 131Ab depicts an etched flat surface, 131Aa a surface of a lead frame blank, 10 and 121A and 121B, respectively, a plated portion. In the case of Fig. 9(ii)a, there is a particularly excellent wire-bonding property, as the etched flat surface does not have roughness. Fig. 9(iii) shows that the tip 931C of the inner 15 lead of the lead frame fabricated according to the process illustrated in Fig. 10 is wire-bonded to a semiconductor chip. In this case, however, both opposite surfaces of the tip 931C of the inner lead are flat, but have a width smaller than that in a direction of the inner lead thickness. In addition to this, as both the opposite 20 surfaces of the tip 931C are formed of surfaces of the lead frame blank, these surfaces have an inferior wire-bonding property as compared to that of the etched flat surface of the first embodiment. Fig. 9(iv) shows that the inner lead tip 931D or 931E, obtained by thinning in its thickness by 25 a means of a press and then by etching, is wire-bonded to a

5 semiconductor chip (not shown). In this case, however, a pressed surface of the inner lead tip is not flat as shown Fig. 9(iv). Thus, the wire-bonding on either of the opposite surfaces as shown in Fig. 9(iv)a or Fig. 9(iv)b often results in an insufficient wire-bonding stability and a problematic quality.

10 A modification to the resin-encapsulated semiconductor device of the first embodiment will now be described. Fig. 2a is a cross-sectional view illustrating a modification to the resin-encapsulated semiconductor device of the first embodiment, and Fig. 2c shows an appearance of the semiconductor device in accordance with the modification. Fig. 2c(ii) is a view when viewed from the bottom of the semiconductor device, Fig. 2c(I) is a front view of the semiconductor device, and Fig. 2b is a cross-sectional view of a terminal column taken at a position corresponding to the line A1-A2 of Fig. 1a. The semiconductor device according to the modification is different with that of the first embodiment in terminal portion 133A. The terminal portions at their tips are protruded externally from a resin 140. The surface of the tip of each terminal portion is plated with solder. Thus, when mounting the resin-encapsulated semiconductor device, the solder is uniformly distributed through an opening 133c. The semiconductor device 100A of this modification is identical to that of

15

20

25

the first embodiment except for the terminal portions 133A. A resin-encapsulated semiconductor device in accordance with a second embodiment will now be described. Fig. 3a is a cross-sectional view of a resin-encapsulated semiconductor device according to the second embodiment, Fig. 3b is a cross-sectional view of an inner lead taken along the line A3-A4 of the Fig. 3a, and Fig. 3c(I) is a cross-sectional view of a terminal column taken along the line A3-A4 of Fig. 3a. In Fig. 3, a reference numeral 200 depicts a resin-encapsulated semiconductor device, 210 a semiconductor chip, 230 a lead frame, 231 inner leads, 231Aa a first surface, 231Ab a second surface, 231Ac a third surface, 231Ad a fourth surface, 233 terminal columns, 233A terminal portions, 233B sides, 235 a die pad, 240 an encapsulating resin, 250 an insulating adhesive, 250A an adhesive, and 260 a reinforcing tape. In the case of the second embodiment similarly to the case of the first embodiment, the semiconductor chip 210 is mounted in such a manner that the surface, on which electrode portions (pads) 211 are formed, is mounted fixedly on the inner leads 231 by means of the insulating adhesive, while the electrode portions 211 are arranged between the inner leads 231. The electrode portions are electrically connected to the second surfaces 231Ab of the tips of the inner leads 231. The lead frame has the die pad 235 at its inside. The electrode

portions 211 are arranged between the inner leads 231 and the die pad 235. Moreover, in the second embodiment similarly to the case of the first embodiment, electrical connection of the semiconductor device 200 to an external circuit is achieved by mounting the semiconductor device 200 on a printed substrate by terminal portions made of a semi-spherical solder and arranged on the tips of the terminal columns 233. In this embodiment, a conductive adhesive is used to adhere the semiconductor chip 210 to the die pad 235, and the die pad 235 and the terminal columns 233 are connected by the inner leads to each other, thereby dissipating heat generated in the semiconductor chip through the die pad. Also, the adhesive 250A necessarily needs to be conductive. However, where the die pad and the semiconductor chip are connected together by means of the conductive adhesive and the die pad is connected to a ground line, it is possible to not only obtain a heat dissipation effect, but also to solve a problem associated with noise.

Similarly to the lead frame used in the first embodiment, the lead frame 230 used in the second embodiment is made of 42% nickel-iron alloy. However, as shown in Figs. 7a and 7b, the lead frame 230 is shaped to have the die pad 235 and the inner leads 233 having a thickness thinner than that of the terminal columns. The

terminal columns each have a thickness of 0.15 mm. The inner leads are arranged at a pitch of 0.12 mm, thereby meeting a demand for the increased terminal number of the semiconductor device. The second surface 231Ab of each 5 inner lead is flat, such that is easy to wire-bond. The third and fourth surfaces 231Ac and 231Ad also have a concave shape depressed toward the inside of the inner lead. This structure exhibits a high strength even though the second face (wire bonding surface) is narrow. Moreover, 10 the fabrication of the resin-encapsulated semiconductor device of the second embodiment is carried out in accordance with substantially the same process as that of the first embodiment.

For example, in a modification to the resin- 15 encapsulated semiconductor device of the second embodiment, an opening 233C is formed on the tip of each terminal column 233 as in the modification to the first-embodiment. The opening is protruded externally from the encapsulating resin 240 such that the tip having the opening serves as 20 the terminal 233A.

A resin-encapsulated semiconductor device in accordance with a third embodiment will now be described. Fig. 4a is a cross-sectional view of a resin-encapsulated semiconductor device in accordance with a third embodiment, 25 and Fig. 4b is a cross-sectional view of an inner lead

5 taken along the line A5-A6 of Fig. 4a. Also, Fig. 4c(I) is a cross-sectional view of a terminal column taken along the line B5-B6 of Fig. 4a. In Fig. 4, a reference numeral 300 depicts a resin-encapsulated semiconductor device, 310 a semiconductor device, 311 pads, 330 a lead frame, 331 inner leads, 331Aa a first surface, 331Ab a second surface, 331Ac a third surface, 331Ad a fourth surface, 333 terminal columns, 333A terminal portions, 333B sides, 335 a die pad, 340 a encapsulating resin, and 360 a reinforcing resin.

10 15 20 Unlike the first or second embodiment above, the semiconductor device 300 in accordance with this third embodiment includes bumps 311. The bumps 311 are mounted fixedly on the inner leads 330 and electrically connect the semiconductor chip 310 and the inner leads 331 together. Similarly to the first or second embodiment, electrical connection of the semiconductor device to an external circuit is achieved by mounting the semiconductor device on a printed substrate by terminal portions 333A made of a semi-spherical solder and arranged on the tips of the terminal columns.

Similarly to the lead frame used in the first or second embodiment, the lead frame 330 used in the second embodiment is made of 42% nickel-iron alloy. However, the lead frame 330 is shaped to have the tips 331A of the inner leads having a thickness thinner than that of the terminal

columns, as shown in Figs. 6a and 6b. The terminal columns 333 are equal to the lead frame blank in thickness. The tips 331A of the inner leads are 0.01 mm thick, and the remaining portions other than the tips 331A of the inner 5 leads are 0.15 mm thick, such that the lead frame has a strength sufficient to withstand the subsequent processes. The inner leads are arranged at a pitch of 0.12 mm, thereby meeting a demand for the increased terminal number of the 10 semiconductor device. The second surface 331Ab of each inner lead 331A is flat, such that it is easy to wire-bond. The third and fourth surfaces 331Ac and 331Ad also have a concave shape depressed toward the inside of the inner lead. This structure exhibits a high strength even though the second face (wire bonding surface) is narrow. Moreover, 15 the fabrication of the resin-encapsulated semiconductor device of the second embodiment is carried out in accordance with substantially the same process as that of the first embodiment, except that the semiconductor chip is mounted fixedly on the die pad, followed by encapsulation 20 with the encapsulating resin.

For example, in a modification to the resin-encapsulated semiconductor device of the third embodiment, an opening 333C is formed on the tip of each terminal column 333 as in the modification to the first embodiment 25 as shown in Fig. 2. The opening is protruded externally

from the encapsulating resin 340A such that the tip having the opening serves as the terminal 333A.

[EFFECTS OF THE INVENTION]

5 The present invention provides a resin-encapsulated semiconductor device employing the above-mentioned lead frame, which is capable of meeting a demand for the increased terminal number and is excellent in mounting efficiency. Furthermore, the resin-encapsulated
10 semiconductor device in accordance with this invention does not require a process of cutting or bending the dam bars as in the case of using a lead frame having outer leads as shown in Fig. 11b. As a result of this, the resin-encapsulated semiconductor device does not have a problem
15 in that the outer leads are bent, or a problem associated with coplanarity. In addition to these advantages, the resin-encapsulated semiconductor device has a shortened interconnection length as compared to the QTP or the BGA, whereby the semiconductor device can be reduced in a
20 parasitic capacity, and shortened in a transfer delay time.